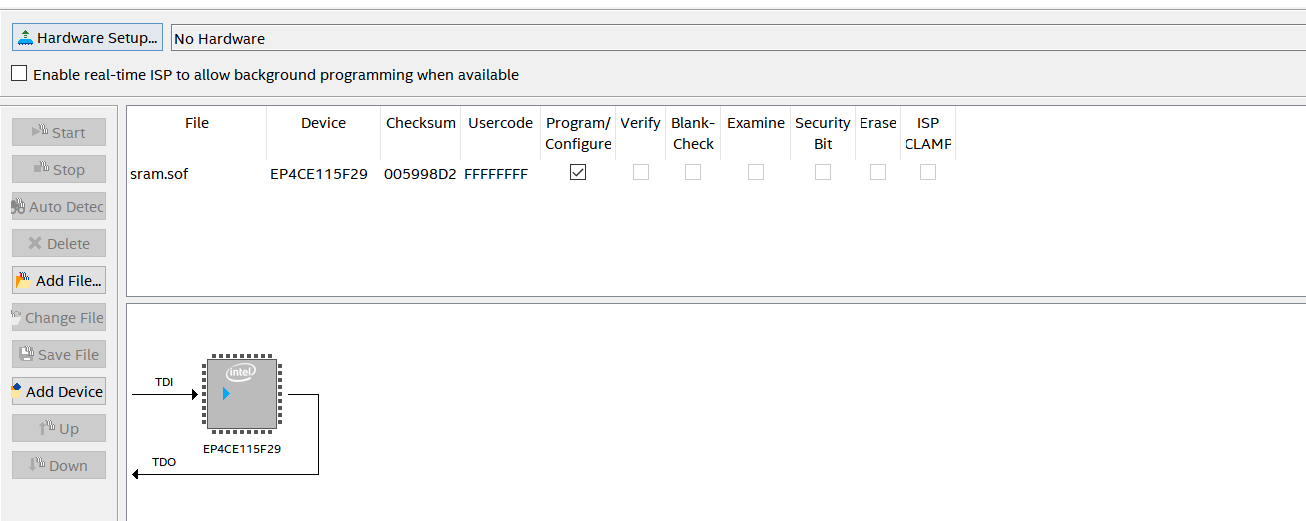
**在线调试**

信息005 王靳朝 2206113602

1. 实验目的

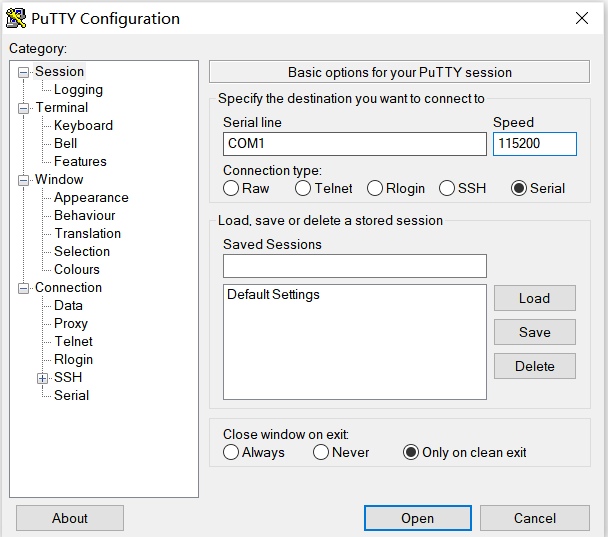
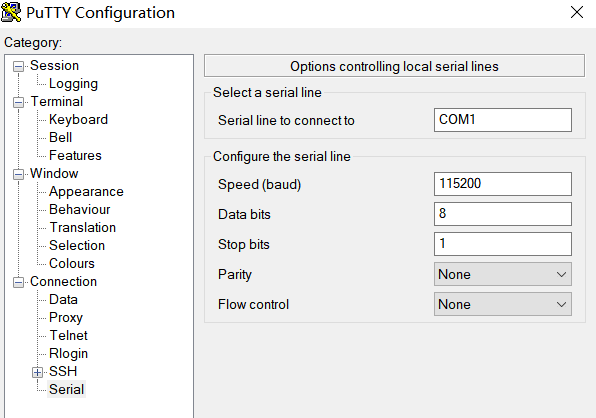
掌握Signal TapII在线调试方法

1. 实验步骤
2. 首先将程序烧录进开发板



在programmer界面将硬件接口调整好，将整个文件烧录进开发板，并进行按键操作，观察工程中出现的问题。

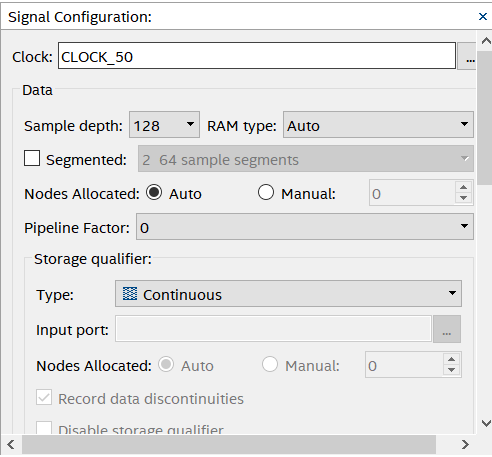
由于实际并无数据写入，因此也无法进行实际的验证，将台式机中的putty应用程序打开，设置串口通信速率，将flow control设置为none。设置好后即可通过键盘输入数据在开发板中写入。

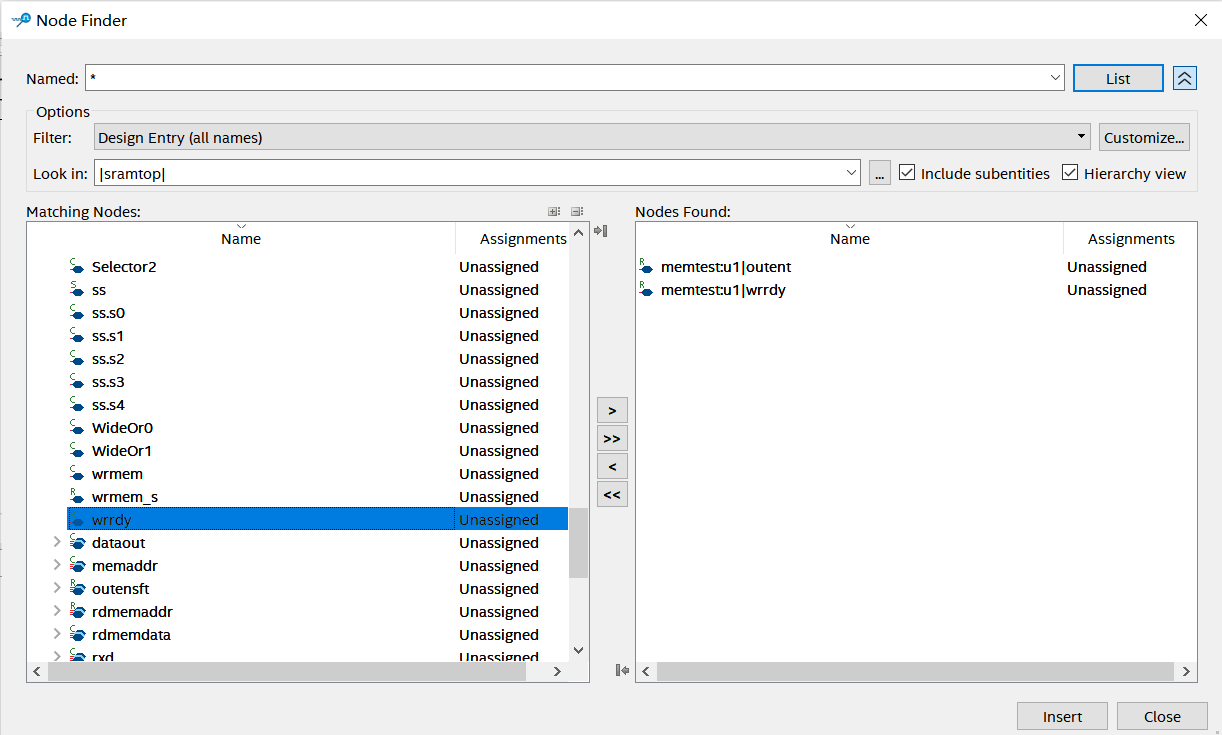
 

准备完毕后，先进行清零。在键盘中输入数据。每输入一位数据，第一个数码管的低位会+1，当输入为数据数量达到8个时，下一个写入信号来临，低位由7变0。但是当写地址为7表示写满之后，下一次数据不应当写入，即读地址在变为7之后不应当发生变化。但是实际会存在再从键盘输入数据时写地址为0，即重新输入的现象。

当按下key1按键时，进行数读出操作，第一个数码管高位+1，同时最后四个数码管会显示当前读出的数据ASCII码值，同时中间两位二极管+1。当读地址和写地址相等时时，表示已经读完，下一次读应当不发生。但是实际操作总会出现循环，即读写地址相等之后再次按下key1，会显示第一个写入的地址，同时读地址变为0.这是不希望出现的。

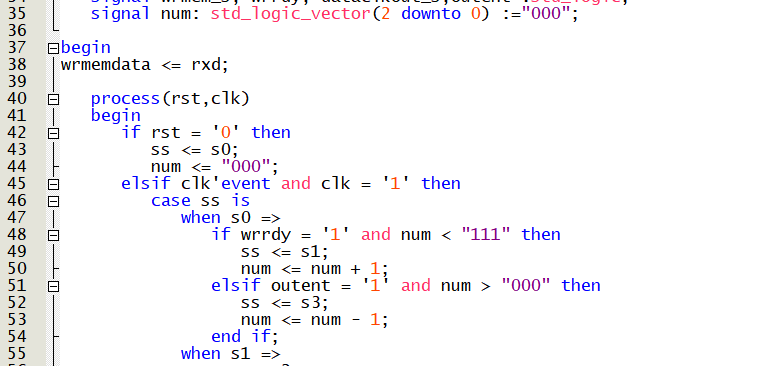
为了改进以上问题，我们先从在线调试的方法入手，观察读写地址的变化过程。打开Signal Tap界面，设置时钟以及要观察的信号。





重新编译后运行，为了观察到地址的变化，加入rdmemaddr和wrmemaddr观察，通过键盘输入数据，按下按键读出数据。

更改的思路为，当写入8个后禁止写操作，当写地址和读地址相同时禁止读操作。因此加入一个模8计数器，以实现以上目标。编译后通过。



1. 实验思考题
2. 在CPLD器件中，能否使用SIGNAL TAP?原因是什么？（此问题请仔细查找文献后，在Intel FPGA官网添加器件库验证后回答）

不能。CPLD内部没有RAM，而SIGNAL TAP要占用大量的RAM以及存储器资源，因此不能使用。

1. 为什么必须要先仿真，再在线调试，而不能只使用在线调试进行工程验证。

在线调试技术并不能反应芯片的所有工作状态，即，仅通过在线调试进行验证的设计是不可靠的。因此功能仿真，时序分析，是不可缺少的。

1. 能不能用其他的时钟进行触发，会有什么区别？

不能使用其他时钟触发，其他时钟触发可能导致异步时序逻辑，这是本实验中不希望出现的。